



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月17日  
Date of Application:

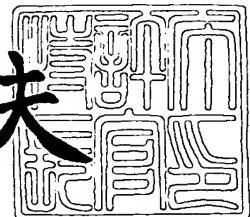
出願番号 特願2002-302689  
Application Number:  
[ST. 10/C] : [JP 2002-302689]

出願人 株式会社ルネサステクノロジ  
Applicant(s):

2003年 9月17日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 H02009221  
【提出日】 平成14年10月17日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/90  
【発明者】  
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内  
【氏名】 大森 一稔  
【発明者】  
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内  
【氏名】 大橋 直史  
【発明者】  
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内  
【氏名】 田丸 剛  
【発明者】  
【住所又は居所】 東京都青梅市新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内  
【氏名】 丸山 裕之  
【特許出願人】  
【識別番号】 000005108  
【氏名又は名称】 株式会社日立製作所  
【代理人】  
【識別番号】 100080001  
【弁理士】  
【氏名又は名称】 筒井 大和  
【電話番号】 03-3366-0787

**【手数料の表示】****【予納台帳番号】** 006909**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 金属材料からなる配線を単層または多層に形成する半導体装置の製造方法であって、上下または左右に位置する前記配線の間を電気的に絶縁する層間絶縁膜を SiOC 膜で形成し、前記 SiOC 膜に接して 5 nm 以上の厚さの SiC 膜を形成することを特徴とする半導体装置の製造方法。

【請求項 2】 金属材料からなる配線を単層または多層に形成する半導体装置の製造方法であって、上下または左右に位置する前記配線の間を電気的に絶縁する層間絶縁膜を SiOC 膜で形成し、前記 SiOC 膜に接して窒素の含有量が 1 % 以下の相対的に薄い SiC 膜を形成することを特徴とする半導体装置の製造方法。

【請求項 3】 金属材料からなる配線を単層または多層に形成する半導体装置の製造方法であって、上下または左右に位置する前記配線の間を電気的に絶縁する層間絶縁膜を SiOC 膜で形成し、前記 SiOC 膜に接して、前記 SiOC 膜とのヤング率の差が 50 GPa 以下または応力の差が 50 MPa 以下の絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 4】 金属材料からなる配線を単層または多層に形成する半導体装置の製造方法であって、上下または左右に位置する前記配線の間を電気的に絶縁する層間絶縁膜を SiOC 膜で形成し、前記 SiOC 膜の上層または下層に相対的に薄い SiCN 膜を形成し、前記 SiOC 膜と前記 SiCN 膜との間に 5 nm 以上の厚さの SiC 膜を介在させることを特徴とする半導体装置の製造方法。

【請求項 5】 金属材料からなる配線を単層または多層に形成する半導体装置の製造方法であって、上下または左右に位置する前記配線の間を電気的に絶縁する層間絶縁膜を窒素を含有する SiOC 膜で形成し、前記 SiOC 膜に接して相対的に薄い SiCN 膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、いわゆるダマシン (Damascene) 法を用いて形成された配線構造、およびそのような配線構造を有する半導体装置に適用して有効な技術に関する。

### 【0002】

#### 【従来の技術】

半導体装置の微細化に伴う配線遅延を抑制するために、配線抵抗および配線容量の低減が図られている。配線抵抗に関しては、設計技術による対応と、銅を主導体層とした配線の採用が検討されている。銅配線の形成には、絶縁膜に形成された溝の内部を含む基板上に銅を主導体層とする配線用金属を堆積した後、溝以外の領域の余分な金属を CMP (Chemical Mechanical Polishing) 法を用いて除去することにより、溝の内部に配線パターンを形成する方法、いわゆるダマシン法が用いられている。

### 【0003】

一方、配線容量に関しては、比誘電率が 2 ~ 3 程度と相対的に低い低誘電率材料の採用が検討されている。なかでも、機械的強度に優れたカーボンを含有するシリコン酸化 (Silicon-oxycarbite : 以下、 SiOC と記す) 膜が、低誘電率材料として有望視されている。

### 【0004】

なお、特開 2001-326279 号公報には、層間絶縁膜を構成する多層の絶縁膜のうち銅配線と接する絶縁膜を、シロキサン結合を有するアルキル化合物と、該アルキル化合物のガス流量と等しいか又は少ないガス流量に調整された N<sub>2</sub>O、H<sub>2</sub>O 又は CO<sub>2</sub> のうち何れか一つの酸素含有ガスとを含む成膜ガスをプラズマ化し、反応させて成膜する技術が開示されている。

### 【0005】

また、特開 2001-110789 号公報には、シリコン、酸素、及び、原子量で少なくとも約 5 % の炭素を含む第 1 誘電体層と、シリコン、酸素、及び、第 1 誘電体層に含まれる炭素の約 2 / 3 未満の炭素を含む第 2 誘電体層とからなる金属間誘電体層を堆積及びエッチングする方法が記載されている。

### 【0006】

**【発明が解決しようとする課題】**

本発明者は、ダマシン配線の製造方法について検討した。以下は、本発明者によって検討された技術であり、その概要は次のとおりである。

**【0007】**

まず、基板上にストップ絶縁膜および配線形成用の絶縁膜（以下、単に配線層間膜と略す）を順次堆積する。配線層間膜はプラズマCVD（Chemical Vapor Deposition）法で成膜されるSiOC膜で構成され、ストップ絶縁膜は、たとえばプラズマCVD法で成膜されるシリコン酸化（以下、SiOと記す）膜、シリコン窒化（以下、SiNと記す）膜またはシリコン炭化窒化（以下、SiCNと記す）膜で構成される。ストップ絶縁膜は、配線層間膜をエッチングする際のエッチングストップ層として機能する。

**【0008】**

次に、パターニングされたフォトレジスト膜をマスクとしたエッチングによって配線層間膜およびストップ絶縁膜の所定の領域に配線溝を形成する。続いて配線溝の内部を含む基板全面にバリア層、たとえばチタン窒化膜を形成し、さらに配線溝を埋め込む銅膜を形成する。銅膜は主導体層として機能し、たとえばメッキ法で形成できる。その後、配線溝以外の領域の銅膜およびバリア層をCMP法により除去して配線溝の内部に銅配線を形成する。

**【0009】**

次に、銅配線からの銅の拡散を防ぐため、銅配線上にバリア層として機能するキャップ絶縁膜を形成する。キャップ絶縁膜は、たとえばプラズマCVD法で成膜されるSiO膜、SiN膜またはSiCN膜で構成される。このキャップ絶縁膜は、バリア層としての機能に加えて、銅配線上の絶縁膜に接続孔を形成する際のエッチングストップ層としての役割を担うこともできる。

**【0010】**

しかしながら、半導体装置の高集積化の要望に伴い、加工寸法が $0.1\mu m$ 以下におけるダマシン配線の微細化を検討したところ、銅膜をCMP法で研磨する際、SiOC膜からなる配線層間膜と、SiO膜、SiN膜またはSiCN膜からなるストップ絶縁膜との界面において剥離が生じ、ダマシン配線を有する半導

体装置の製造歩留まりが低下するという問題が明らかとなった。

### 【0011】

本発明の目的は、配線溝が形成される絶縁膜または接続孔が形成される絶縁膜にSiOC膜を用いたダマシン配線の信頼性を向上することのできる技術を提供することにある。

### 【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

### 【0013】

#### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

### 【0014】

本発明は、ダマシン配線の製造方法において、配線溝が形成される絶縁膜または接続孔が形成される絶縁膜をSiOC膜で形成し、このSiOC膜に接して5nm以上の厚さのSiC膜を積層するものである。

### 【0015】

#### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

### 【0016】

#### (実施の形態1)

本発明の実施の形態1であるCMOSFET (Complementary Metal Oxide Semiconductor Field Effect Transistor) の製造方法を図1～図7に示した半導体基板の要部断面図を用いて工程順に説明する。

### 【0017】

まず、図1に示すように、たとえばp-型の単結晶シリコンからなる半導体基板1を用意し、半導体基板1の主面に素子分離領域2を形成する。次に、パター

ニングされたフォトレジスト膜をマスクとして不純物をイオン注入し、p ウェル 3 および n ウェル 4 を形成する。p ウェル 3 には p 型不純物、たとえばボロンをイオン注入し、n ウェル 4 には n 型不純物、たとえばリンをイオン注入する。この後、各ウェル領域に M I S F E T (Metal Insulator Semiconductor FET) のしきい値を制御するための不純物をイオン注入してもよい。

#### 【0018】

次に、ゲート絶縁膜 5 となるシリコン酸化膜、ゲート電極 6 となる多結晶シリコン膜およびキャップ絶縁膜 7 となるシリコン酸化膜を順次堆積して積層膜を形成し、パターニングされたフォトレジスト膜をマスクとして上記積層膜をエッチングする。これにより、ゲート絶縁膜 5、ゲート電極 6 およびキャップ絶縁膜 7 を形成する。

#### 【0019】

次に、半導体基板 1 上に、たとえば CVD 法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッティングすることにより、ゲート電極 6 の側壁にサイドウォールスペーサ 8 を形成する。その後、フォトレジスト膜をマスクとして、p ウェル 3 に n 型不純物、たとえばリンまたはヒ素をイオン注入し、p ウェル 3 のゲート電極 6 の両側に n 型半導体領域 9 を形成する。n 型半導体領域 9 は、ゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成され、n チャネル M I S F E T のソース・ドレインとして機能する。同様に、フォトレジスト膜をマスクとして、n ウェル 4 に p 型不純物、たとえばフッ化ボロンをイオン注入し、n ウェル 4 のゲート電極 6 の両側に p 型半導体領域 10 を形成する。p 型半導体領域 10 は、ゲート電極 6 およびサイドウォールスペーサ 8 に対して自己整合的に形成され、p チャネル M I S F E T のソース・ドレインとして機能する。

#### 【0020】

次に、図 2 に示すように、半導体基板 1 上にスパッタ法または CVD 法でシリコン酸化膜を堆積した後、そのシリコン酸化膜を、たとえば CMP 法で研磨することにより、表面が平坦化された層間絶縁膜 11 を形成する。次いで、パターニングされたフォトレジスト膜をマスクとしたエッティングによって層間絶縁膜 11

に接続孔 12 を形成する。この接続孔は、n 型半導体領域 9 または p 型半導体領域 10 上などの必要部分に形成する。

#### 【0021】

次に、接続孔 12 の内部を含む半導体基板 1 の全面にチタン窒化膜を、たとえば CVD 法で形成し、さらに接続孔 12 を埋め込むタンゲステン膜を、たとえば CVD 法で形成する。その後、接続孔 12 以外の領域のタンゲステン膜およびチタン窒化膜を、たとえば CMP 法により除去して接続孔 12 の内部にプラグ 13 を形成する。

#### 【0022】

続いて、シングルダマシン法により第 1 配線層を形成する。まず、プラグ 13 上にストップア絶縁膜 14 を形成し、さらに配線層間膜 15 を形成する。ストップア絶縁膜 14 と配線層間膜 15 とには次に説明する第 1 配線層が形成されるため、その合計膜厚は第 1 配線層に必要な設計膜厚で決められる。

#### 【0023】

ストップア絶縁膜 14 は、配線層間膜 15 への配線溝加工の際にエッチングストップとなる膜であり、配線層間膜 15 に対してエッティング選択比を有する材料で構成される。ストップア絶縁膜 14 は、窒素の含有量が 1 % 以下のシリコン炭化（以下、SiC と記す）膜とし、その厚さは、たとえば約 5 nm 以上とすることができる。SiC 膜は、たとえばプラズマ CVD 法で形成され、その成膜条件は、たとえば rf パワー 200 ~ 1000 W、圧力 2 ~ 10 Torr、温度 300 ~ 400 °C、ガス流量 100 ~ 2000 sccm である。配線層間膜 15 は、SiOC 膜からなり、比誘電率は 3 程度である。SiOC 膜は、たとえばプラズマ CVD 法で形成され、その成膜条件は、たとえば rf パワー 200 ~ 1000 W、圧力 2 ~ 10 Torr、温度 300 ~ 400 °C、ガス流量 100 ~ 2000 sccm である。

#### 【0024】

なお、ストップア絶縁膜 14 を構成する SiC 膜および配線層間膜 15 を構成する SiOC 膜は、一台のプラズマ CVD 装置によって形成することができる。たとえばプラズマ CVD 装置に備わる 2 つのチャンバを用いて、それぞれのチャン

バで SiC 膜と SiOC 膜とを成膜する方法、または 1 つのチャンバを用いて、ガス等の成膜条件を変えることによって SiC 膜と SiOC 膜とを連続成膜する方法を例示することができる。

#### 【0025】

次いで、パターニングされたフォトレジスト膜をマスクとしたエッチングによってストップ絶縁膜 14 および配線層間膜 15 の所定の領域に配線溝 16 を形成する。

#### 【0026】

次に、配線溝 16 の内部を含む半導体基板 1 の全面にバリアメタル層 17 を形成する。バリアメタル層 17 は、たとえばタンタル膜からなり、その厚さは、たとえば基板平面上で 50 nm 程度とすることができる。上記タンタル膜は、たとえばスパッタ法で形成される。バリアメタル層 17 は、チタン窒化、タンタル窒化等で構成してもよい。

#### 【0027】

続いて、バリアメタル層 17 上に銅のシード層（図示せず）を、たとえば CVD 法またはスパッタ法で形成し、さらにシード層上に銅膜 18 を、たとえば電界メッキ法で形成する。

#### 【0028】

次に、図 3 に示すように、CMP 法を用いて銅膜 18 およびシード層を研磨する。さらに研磨を継続し、配線層間膜 15 上のバリアメタル層 17 を除去する。これにより、配線溝 16 以外の領域の銅膜 18（シード層を含む）およびバリアメタル層 17 が除去されて、第 1 配線層の配線 19 が形成される。

#### 【0029】

ところで、ストップ絶縁膜を SiO 膜、SiN 膜または SiCN 膜で構成し、配線層間膜を SiOC 膜で構成する本発明者によって検討された技術では、銅膜およびバリア層の CMP 工程においてストップ絶縁膜と配線層間膜との界面で剥離が生じた。しかし、ストップ絶縁膜 14 を SiC 膜で構成し、配線層間膜 15 を SiOC 膜で構成した本実施の形態 1 では、銅膜 18（シード層を含む）およびバリアメタル層 17 の CMP 工程においてストップ絶縁膜（SiC 膜） 14 と

絶縁膜（SiOC膜）15との界面で剥離は生じなかった。

### 【0030】

#### 【表1】

表 1

	SiOC	SiC	SiO	SiCN	SiN
ヤング率 (GPa)	18	63	112	133	221
ストレス (MPa)	47	62	-140	-245	-151
窒素含有量 (%)	<1	<1	4	20	45

### 【0031】

表1に、各種絶縁膜のヤング率、ストレス、窒素含有量をまとめた。SiOC膜と各種絶縁膜との接着性はSiN膜、SiCN膜、SiO膜、SiC膜の順に小さく、これは窒素含有量に依存する傾向にある。また、ヤング率はSiN膜、SiCN膜、SiO膜、SiC膜、SiOC膜の順に小さい。また、SiOC膜およびSiC膜は引っ張り応力を示すのに対し、SiN膜、SiCN膜、SiO膜は圧縮応力を示す。

### 【0032】

これらのことから、SiOC膜の界面では、O、Cで終端した分子構造が界面における原子間の結合を強めて接着性を向上させると考えられる。さらに、SiOC膜と同じ引っ張り応力を有し、SiOC膜とのヤング率の差が50GPa以下、応力の差が50MPa以下であるSiC膜をSiOC膜に接して設けることにより、SiC膜が銅膜のCMP処理時に発生する縦横方向の荷重を緩和して、SiOC膜とSiC膜との界面における剥離を抑制すると考えられる。

### 【0033】

なお、ここではストップ絶縁膜14としてSiC膜を例示したが、SiOC膜

とのヤング率の差が 50 GPa 以下または応力の差が 50 MPa 以下である絶縁膜によって、ストップアセラルム 14 を構成してもよい。また、ストップアセラルム 14 を構成する SiC 膜をプラズマ CVD 法で形成し、その成膜条件を例示したが、製法または成膜条件は、これに限定されるものでない。

#### 【0034】

次に、デュアルダマシン法により第 2 配線層を形成する。まず、図 4 に示すように、第 1 配線層の配線 19 上にキャップアセラルム 20 、接続孔が形成される絶縁膜（以下、単にビア層間膜と略す） 21 および配線形成用のストップアセラルム 22 を順次形成する。

#### 【0035】

キャップアセラルム 20 は、窒素の含有量が 1 % 以下の SiC 膜とし、その厚さは、たとえば約 5 nm 以上とすることができる。また、キャップアセラルム 20 は、銅の拡散を防ぐ機能を有するが、ビア層間膜 21 に対してエッチング選択比を有する材料で構成され、ビア層間膜 21 への接続孔加工の際のエッチングストップとしても用いられる。SiC 膜は、たとえばプラズマ CVD 法で形成され、その成膜条件は、たとえば前記ストップアセラルム 14 を構成する SiC 膜とほぼ同じ条件を用いることができる。

#### 【0036】

ビア層間膜 21 は、SiOC 膜からなり、SiOC 膜は、たとえばプラズマ CVD 法で形成され、その成膜条件は、たとえば前記配線層間膜 15 を構成する SiOC 膜とほぼ同じ条件を用いることができる。

#### 【0037】

ストップアセラルム 22 は、ビア層間膜 21 および後にストップアセラルム 22 の上層に堆積される配線層間膜に対してエッチング選択比を有する絶縁材料で構成され、窒素の含有量が 1 % 以下の SiC 膜とし、その厚さは、たとえば約 5 nm 以上とすることができる。SiC 膜は、たとえばプラズマ CVD 法で形成され、その成膜条件は、たとえば前記ストップアセラルム 14 を構成する SiC 膜とほぼ同じ条件を用いることができる。

#### 【0038】

次に、孔パターンにパターニングされたフォトレジスト膜をストップ絶縁膜22上に形成し、このフォトレジスト膜をマスクとしてストップ絶縁膜22をエッチングする。

#### 【0039】

次いで、ストップ絶縁膜22上に配線層間膜23を形成する。配線層間膜23はSiOC膜からなり、SiOC膜は、たとえばプラズマCVD法で形成され、その成膜条件は、たとえば前記配線層間膜15を構成するSiOC膜とほぼ同じ条件を用いることができる。なお、ストップ絶縁膜22および配線層間膜23には次に説明する第2配線層が埋め込まれる配線溝が形成されるため、その合計厚さは第2配線層に必要な設計膜厚で決められる。

#### 【0040】

その後、図5に示すように、溝パターンにパターニングされたフォトレジスト膜を配線層間膜23上に形成し、このフォトレジスト膜をマスクとして配線層間膜23をエッチングする。この際、キャップ絶縁膜22がエッチングストップ層として機能する。

#### 【0041】

続いて、上記フォトレジスト膜およびストップ絶縁膜22をマスクとしてビア層間膜21をエッチングする。この際、キャップ絶縁膜20がエッチングストップ層として機能する。

#### 【0042】

次いで、露出したキャップ絶縁膜20を、たとえばドライエッチング法で除去する。キャップ絶縁膜20を除去すると同時にストップ絶縁膜22が除去され、キャップ絶縁膜20およびビア層間膜21に接続孔24が形成され、ストップ絶縁膜22および配線層間膜23に配線溝25が形成される。

#### 【0043】

次に、図6に示すように、接続孔24および配線溝25の内部を含む半導体基板1の全面にバリアメタル層26を形成する。バリアメタル層26は、たとえばタンタル膜からなり、その厚さは、たとえば基板平面上で50nm程度とすることができます。上記タンタル膜は、たとえばスパッタ法で形成される。バリアメタ

ル層 26 は、チタン窒化、タンタル窒化等で構成してもよい。

#### 【0044】

続いて、バリアメタル層 26 上に銅のシード層（図示せず）を、たとえば CVD 法またはスパッタ法で形成し、さらにシード層上に銅膜 27 を、たとえば電界メッキ法で形成する。

#### 【0045】

次に、図 7 に示すように、CMP 法を用いて銅膜 27 およびシード層を研磨する。さらに研磨を継続し、配線層間膜 23 上のバリアメタル層 26 を除去する。これにより、配線溝 25 以外の領域の銅膜 27（シード層を含む）およびバリアメタル層 26 が除去されて、接続部材と一緒に形成された第 2 配線層の配線 28 が形成される。

#### 【0046】

この銅膜 27（シード層を含む）およびバリアメタル層 26 の CMP 工程においても、前述した銅膜 18（シード層を含む）およびバリアメタル層 17 の CMP 工程の場合と同様に、キャップ絶縁膜（SiC 膜）20 と層間絶縁膜（SiOC 膜）21との界面、層間絶縁膜（SiOC 膜）21 とストップ絶縁膜（SiC 膜）22 との界面、ストップ絶縁膜（SiC 膜）22 と配線層間膜 23（SiOC 膜）との界面において剥離は生じなかった。

#### 【0047】

続いて、図示はしないが、第 2 配線層の配線 28 上にキャップ絶縁膜 29 を形成し、さらに上層の配線を形成した後、パッシベーション膜で半導体基板 1 の全面を覆うことにより、CMOSFET が略完成する。

#### 【0048】

なお、本実施の形態 1 では、半導体基板 1 の主面上に形成される半導体素子として CMOSFET を例示したが、これに限定されるものではない。

#### 【0049】

また、本実施の形態 1 では、デュアルダマシン法により第 2 配線層の配線 28 を形成する場合、ストップ絶縁膜 22 にあらかじめ孔パターンを加工した後、キャップ絶縁膜 20 およびストップ絶縁膜 22 をエッチングストップ層として機能

させて、ビア層間膜21に接続孔24を、配線層間膜23に配線溝25を同時に形成したが、この形成方法に限定されるものではない。たとえば孔パターンにパターニングされたフォトレジスト膜をマスクとしたエッチングにより配線層間膜23およびビア層間膜21に接続孔23を形成した後、溝パターンにパターニングされたフォトレジスト膜をマスクとしたエッチングにより配線層間膜23に配線溝24を形成する方法、あるいは溝パターンにパターニングされたフォトレジスト膜をマスクとしたエッティングにより配線層間膜23に配線溝24を形成した後、孔パターンにパターニングされたフォトレジスト膜をマスクとしたエッティングによりビア層間膜21に接続孔23を形成する方法などがある。

#### 【0050】

このように、本実施の形態1によれば、配線層間膜15, 23およびビア層間膜21を相対的に低い低誘電率材料であるSiOC膜で構成した場合、配線層間膜15, 23およびビア層間膜21に接して設けられるストップアセロル膜14, 22およびキャップアセロル膜20をSiC膜で構成することにより、第1配線層の配線19を形成するCMP工程における配線層間膜15とストップアセロル膜14との界面での剥離、および第2配線層の配線20を形成するCMP工程におけるキャップアセロル膜20とビア層間膜21との界面、ビア層間膜21とストップアセロル膜22との界面、ストップアセロル膜22と配線層間膜23との界面での剥離を防ぐことができる。

#### 【0051】

##### (実施の形態2)

本発明の実施の形態2であるCMOSFETの製造方法を図8に示した半導体基板の要部断面図を用いて説明する。

#### 【0052】

前記実施の形態1では、ストップアセロル膜14, 22およびキャップアセロル膜20をSiC膜で構成したが、本実施の形態2では、ストップアセロル膜14, 22およびキャップアセロル膜20を、SiC膜に比してリーク電流を小さく抑えることができるSiCN膜A、ならびに配線層間膜15, 23およびビア層間膜21を構成するSiOC膜と上記SiCN膜Aとの間に介在するSiC膜Bにより構成する

ものである。SiCN膜Aの厚さは、たとえば40nm程度、SiC膜Bの厚さは、たとえば10nm程度であり、SiCN膜Aの窒素含有量は1%以上とする。

#### 【0053】

また、SiCN膜Aは、たとえばプラズマCVD法で形成され、その成膜条件は、たとえばrfパワー200～1000W、圧力2～10Torr、温度300～400℃、ガス流量100～2000sccmであり、SiC膜Bは、たとえばプラズマCVD法で形成され、その成膜条件は、たとえばrfパワー200～1000W、圧力2～10Torr、温度300～400℃、ガス流量100～2000sccmである。

#### 【0054】

このように、本実施の形態2によれば、ストップ絶縁膜14，22およびキャップ絶縁膜20を主として相対的にリーク電流の小さいSiCN膜Aで構成し、配線層間膜15，23およびビア層間膜21を構成するSiOC膜と上記SiCN膜Aとの間にSiC膜Bを介在させることにより、配線間のリーク電流を低減できると同時にSiOC膜の剥離を防ぐことができる。

#### 【0055】

##### (実施の形態3)

本実施の形態3では、窒素を含有したSiOC膜で配線層間膜15，23およびビア層間膜21を構成し、相対的にリーク電流の小さいSiCN膜でストップ絶縁膜14，22およびキャップ絶縁膜20を構成するものである。窒素を含有したSiOC膜は、たとえばプラズマCVD法で形成され、その成膜条件は、たとえばrfパワー200～1000W、圧力2～10Torr、温度300～400℃、ガス流量100～2000sccmであり、SiCN膜は、たとえばプラズマCVD法で形成され、その成膜条件は、たとえばrfパワー200～100W、圧力2～10Torr、温度300～400℃、ガス流量100～200sccmである。SiCN膜の厚さは、たとえば50nm程度である。

#### 【0056】

このように、本実施の形態3によれば、SiOC膜に窒素を含有することで、

両者の接着性を向上させる。これにより、配線間のリーク電流を低減できるとともに SiOC膜の剥離を防ぐことができる。

### 【0057】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

### 【0058】

たとえば、前記実施の形態では、SiOC膜をダマシン銅配線の配線層間膜またはビア層間膜に用いた場合について説明したが、これに限定されるものではない。たとえばリソグラフィ技術とドライエッチング技術を用いて形成されたアルミニウム合金またはタンゲステン等の高融点金属膜からなる配線の上に、SiOC膜からなる層間絶縁膜が形成された場合にも、この層間絶縁膜に対して適用することができる。

### 【0059】

#### 【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

### 【0060】

配線溝が形成される絶縁膜または接続孔が形成される絶縁膜にSiOC膜を用いたダマシン配線において、ストップ絶縁膜またはキャップ絶縁膜をSiC膜で構成する、またはSiCN膜およびSiOC膜とSiCN膜との間に介在するSiC膜からなる積層構造で構成することにより、SiOC膜の剥離を防ぐことができる。これにより、ダマシン配線の信頼性を向上することができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の実施の形態1であるCMOSFETの製造方法を示す半導体基板の要部断面図である。

##### 【図2】

本発明の実施の形態1であるCMOSFETの製造方法を示す半導体基板の要

部断面図である。

【図 3】

本発明の実施の形態 1 である CMOSFET の製造方法を示す半導体基板の要部断面図である。

【図 4】

本発明の実施の形態 1 である CMOSFET の製造方法を示す半導体基板の要部断面図である。

【図 5】

本発明の実施の形態 1 である CMOSFET の製造方法を示す半導体基板の要部断面図である。

【図 6】

本発明の実施の形態 1 である CMOSFET の製造方法を示す半導体基板の要部断面図である。

【図 7】

本発明の実施の形態 1 である CMOSFET の製造方法を示す半導体基板の要部断面図である。

【図 8】

本発明の実施の形態 2 である CMOSFET の製造方法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p ウエル
- 4 n ウエル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 キャップ絶縁膜
- 8 サイドウォールスペーサ
- 9 n 型半導体領域

1 0 p型半導体領域

1 1 層間絶縁膜

1 2 接続孔

1 3 プラグ

1 4 ストッパ絶縁膜

1 5 配線層間膜

1 6 配線溝

1 7 バリアメタル層

1 8 銅膜

1 9 配線

2 0 キャップ絶縁膜

2 1 ビア層間膜

2 2 ストッパ絶縁膜

2 3 配線層間膜

2 4 接続孔

2 5 配線溝

2 6 バリアメタル層

2 7 銅膜

2 8 配線

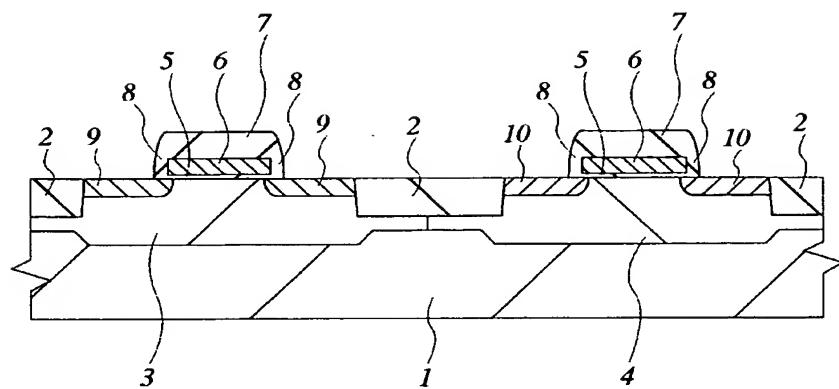
A SiCN膜

B SiC膜

【書類名】 図面

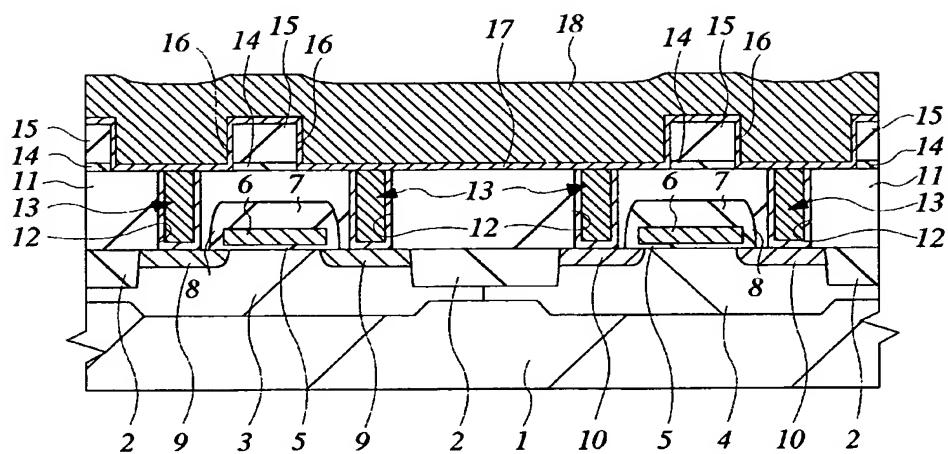
【図 1】

図 1



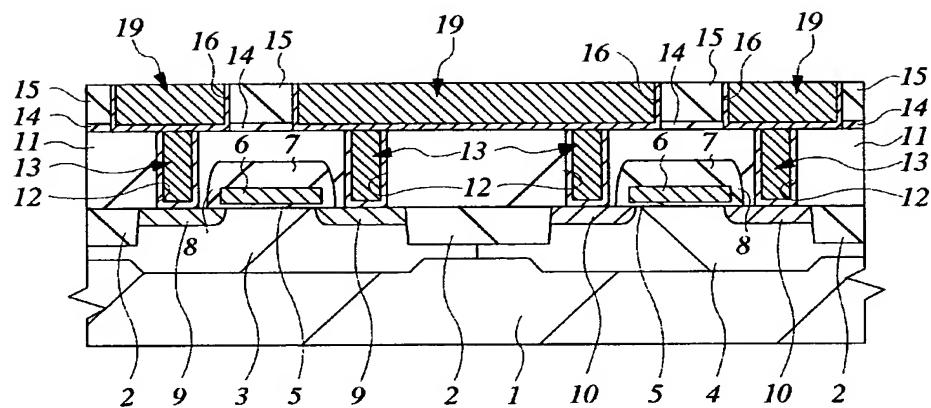
【図 2】

図 2



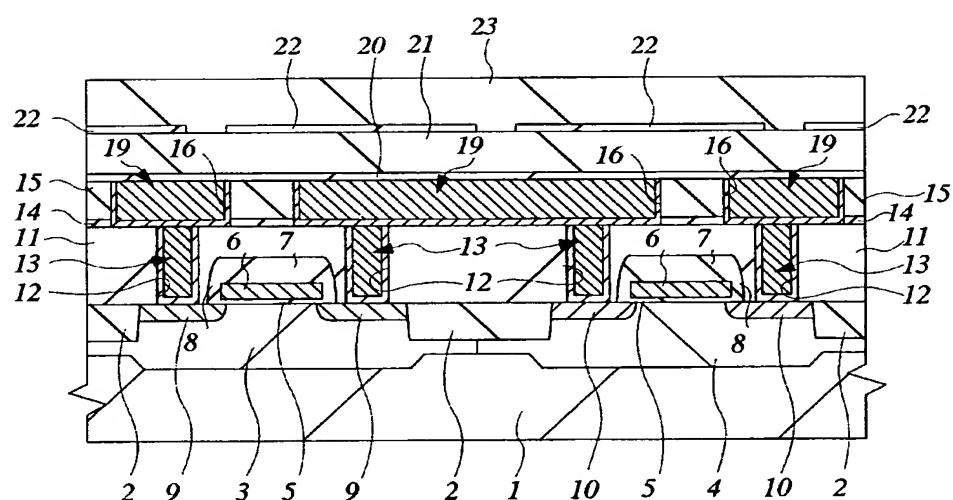
【図3】

図 3



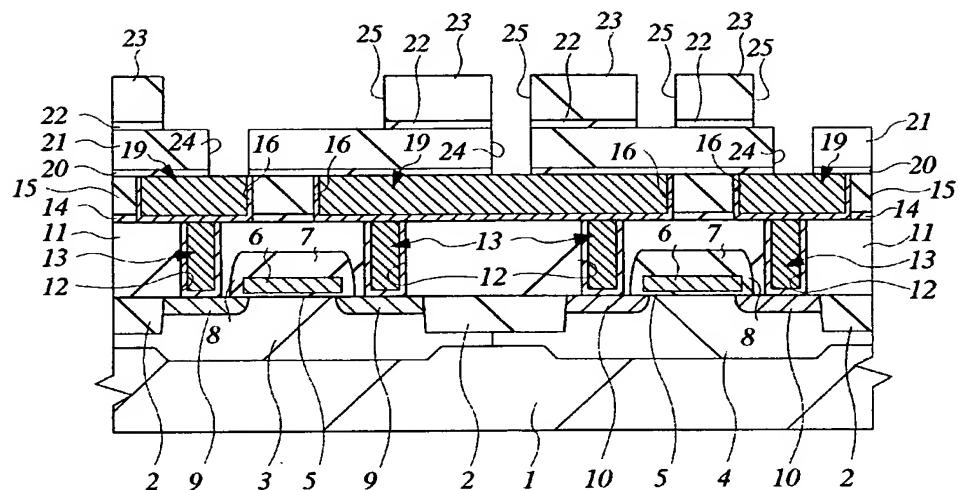
【図4】

図 4



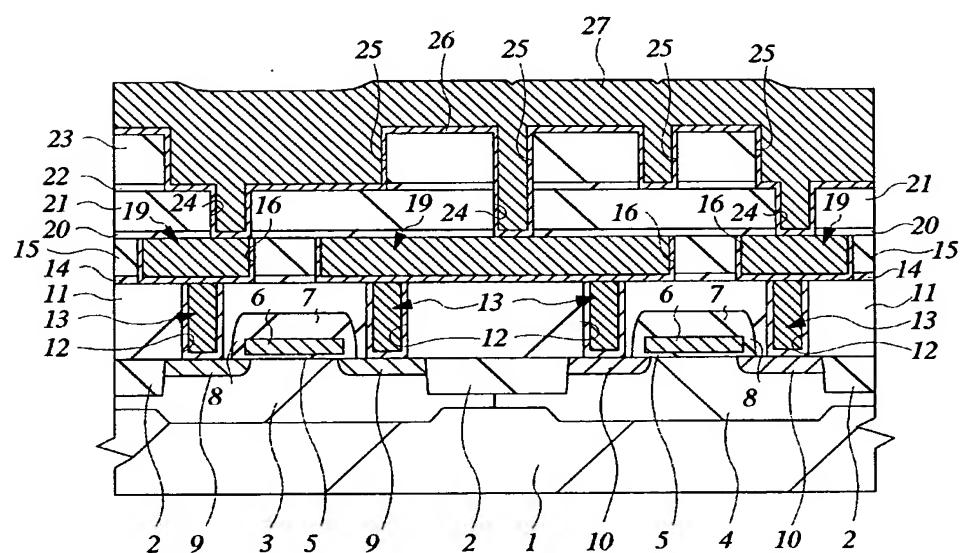
【図 5】

図 5



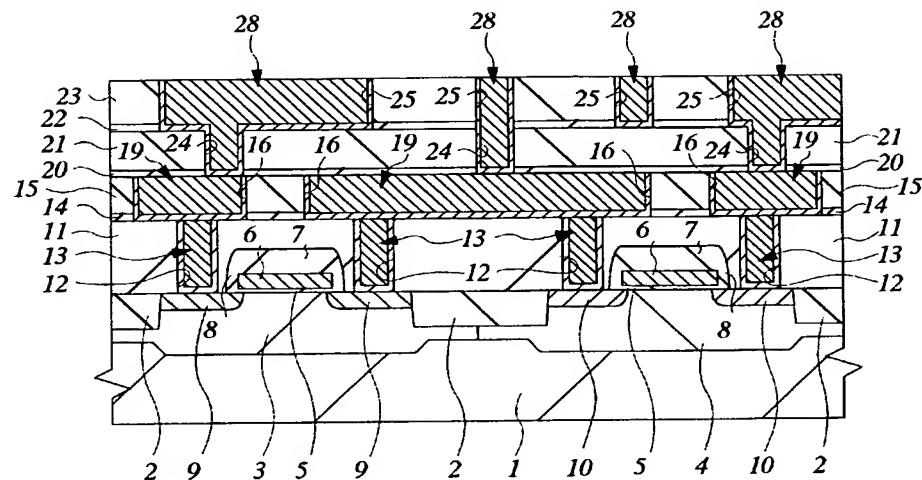
【図 6】

図 6



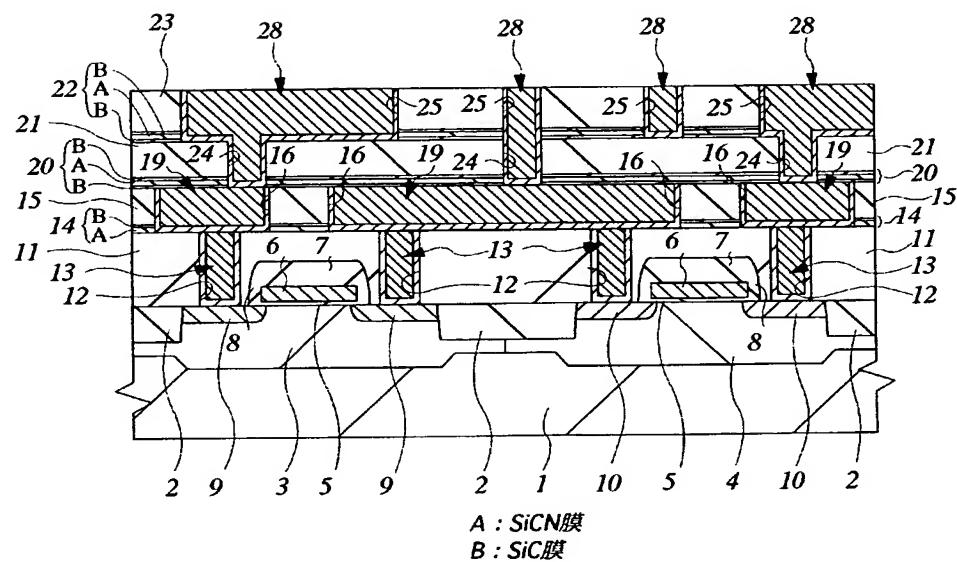
【図 7】

図 7



【図 8】

図 8



【書類名】 要約書

【要約】

【課題】 配線溝が形成される絶縁膜または接続孔が形成される絶縁膜にSiOC膜を用いたダマシン配線の信頼性を向上することのできる技術を提供する。

【解決手段】 ストップ絶縁膜14, 22およびキャップ絶縁膜20を、SiC膜に比してリーク電流を小さく押えることができるSiCN膜A、ならびに配線層間膜15, 23およびビア層間膜21を構成するSiOC膜と上記SiCN膜Aとの間に介在するSiC膜Bにより構成するものである。

【選択図】 図8

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-302689

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【提出物件の目録】

【包括委任状番号】 0308729

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第3154542号 平成15年4月11日付け  
提出の会社分割による特許権移転登録申請書 を援用  
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平4-71767号 同日提出の出願人名  
義変更届（一般承継）を援用する

【プルーフの要否】 要

## 認定・付加情報

特許出願の番号	特願2002-302689
受付番号	50301194754
書類名	出願人名義変更届（一般承継）
担当官	鈴木 夏生 6890
作成日	平成15年 9月 3日

## &lt;認定情報・付加情報&gt;

【提出日】	平成15年 7月18日
-------	-------------

特願 2002-302689

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住所 東京都千代田区神田駿河台4丁目6番地  
氏名 株式会社日立製作所

特願 2002-302689

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ